

CONVERSION A/N et N/A

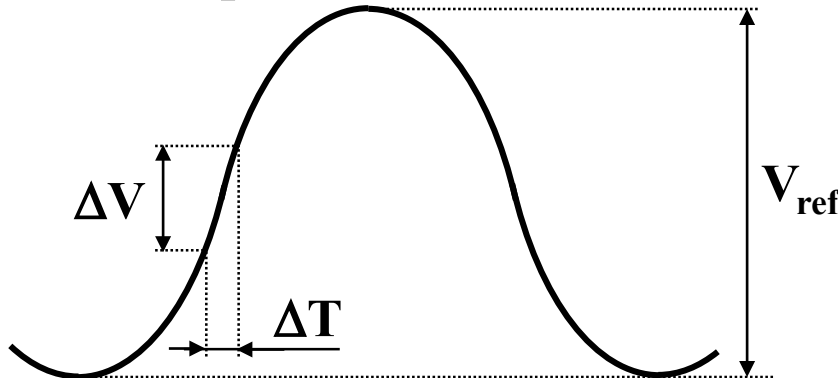
3.CONVERSION ANALOGIQUE-NUMERIQUE

3.3 DUREE DE LA FENETRE D'ECHANTILLONNAGE SAMPLE & HOLD

Certains convertisseurs font plusieurs fois appel au signal d'entrée V_{in} en cours de conversion

➡ La variation de V_{in} doit rester inférieure à un pas de quantification (V_{LSB}) durant le temps de conversion ΔT

Cas critique:



$$v(t) = \frac{V_{ref}}{2} \cdot \sin \omega t$$

$$\left| \frac{dv(t)}{dt} \right|_{max} = \frac{\omega \cdot V_{ref}}{2}$$

$$\Delta T \text{ petit} \Rightarrow \Delta V_{max} = \Delta T \cdot \left| \frac{dv(t)}{dt} \right|_{max}$$

$$\Delta V_{max} = \frac{V_{ref}}{2} \cdot \omega \cdot \Delta T \leq V_{LSB} = \frac{V_{ref}}{2^n}$$

$$\omega = 2\pi f \Rightarrow \Delta T \leq \frac{1}{2^n \cdot \pi \cdot f}$$

3.3. DUREE DE LA FENETRE D'ECHANTILLONNAGE SAMPLE & HOLD

$$\Delta T \leq \frac{1}{2^n \cdot \pi \cdot f}$$

EXEMPLES

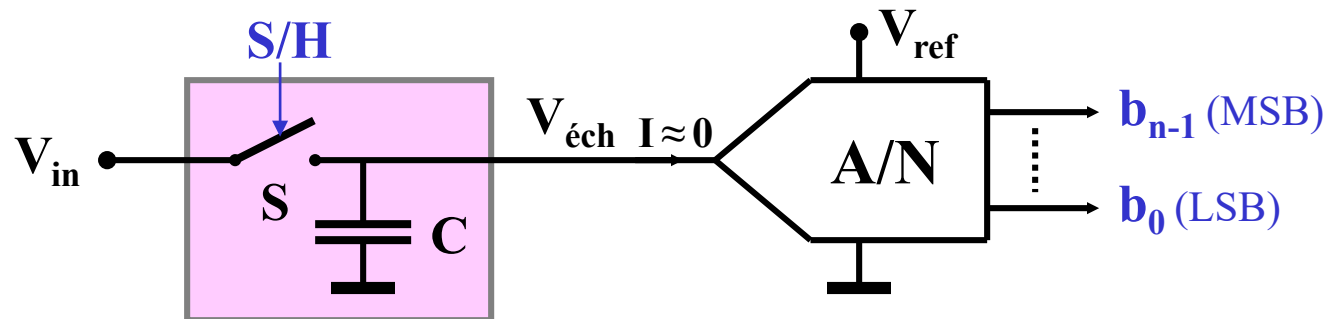
$$n = 12 \text{ bits} \quad f = 10 \text{ kHz} \quad \Rightarrow \quad \Delta T \leq 7.8 \text{ ns}$$

$$n = 8 \text{ bits} \quad f = 100 \text{ MHz} \quad \Rightarrow \quad \Delta T \leq 12.4 \text{ ps}$$

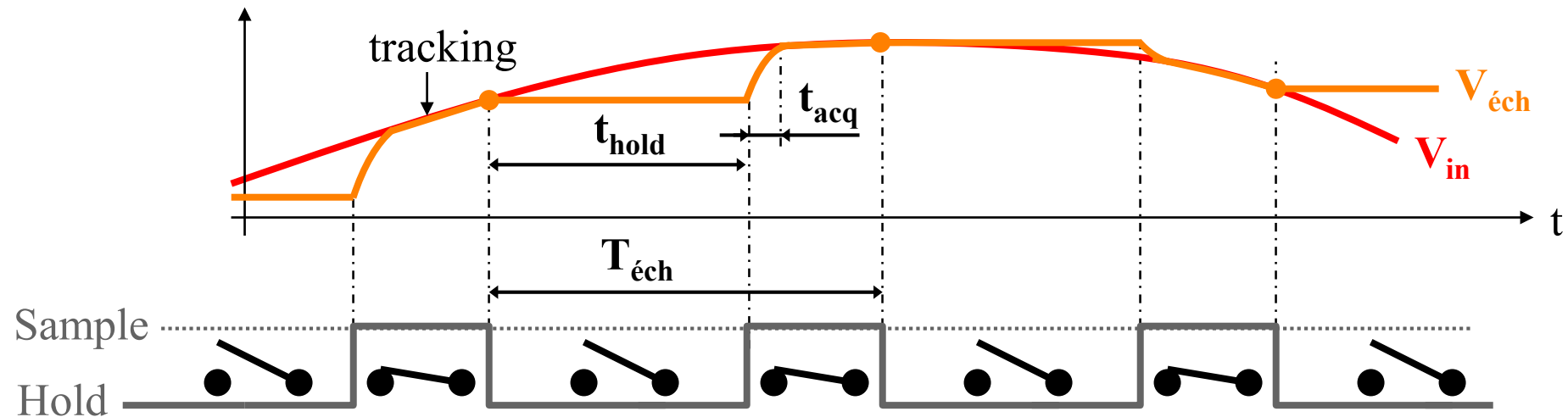
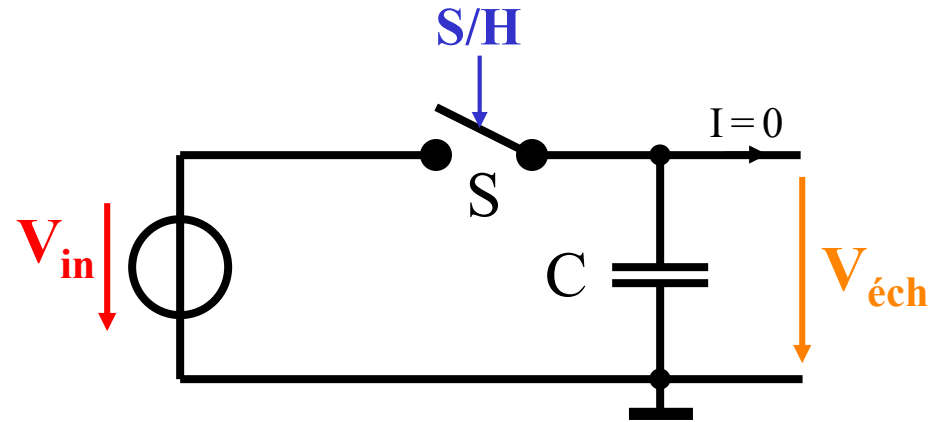
Ces exigences sur le temps de conversion ΔT dépassent généralement les possibilités des convertisseurs actuels

SOLUTION

Si nécessaire, on utilise un circuit "Sample & Hold" en amont du convertisseur, afin de maintenir un signal constant à l'entrée de celui-ci durant le temps de conversion

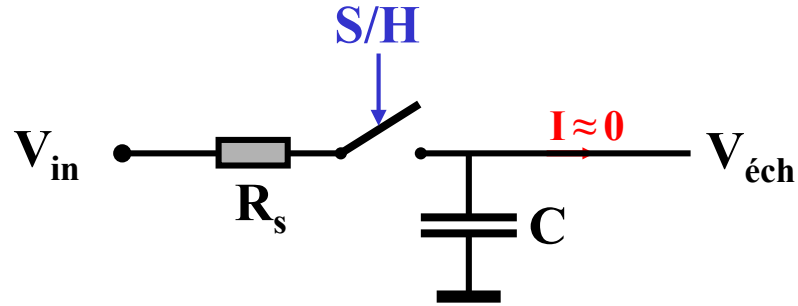


3.3. DUREE DE LA FENETRE D'ECHANTILLONNAGE SAMPLE & HOLD



3.4. CIRCUITS SAMPLE & HOLD

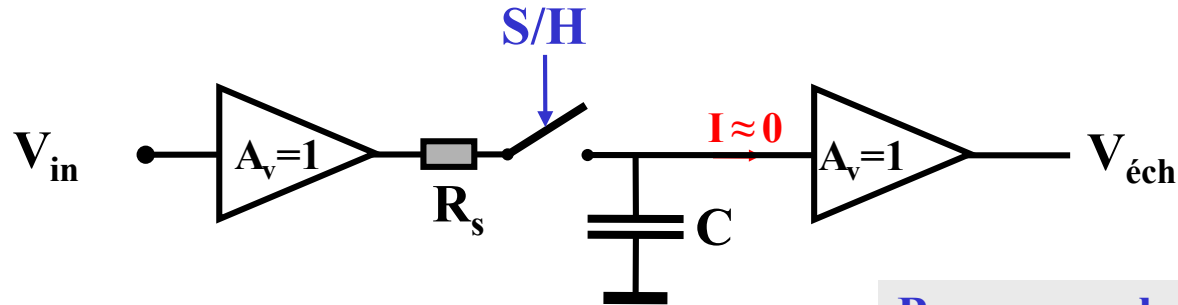
SAMPLE & HOLD BASIQUE



Simple et économique

Vitesse et précision limitées

SAMPLE & HOLD EN BOUCLE OUVERTE AVEC BUFFERS

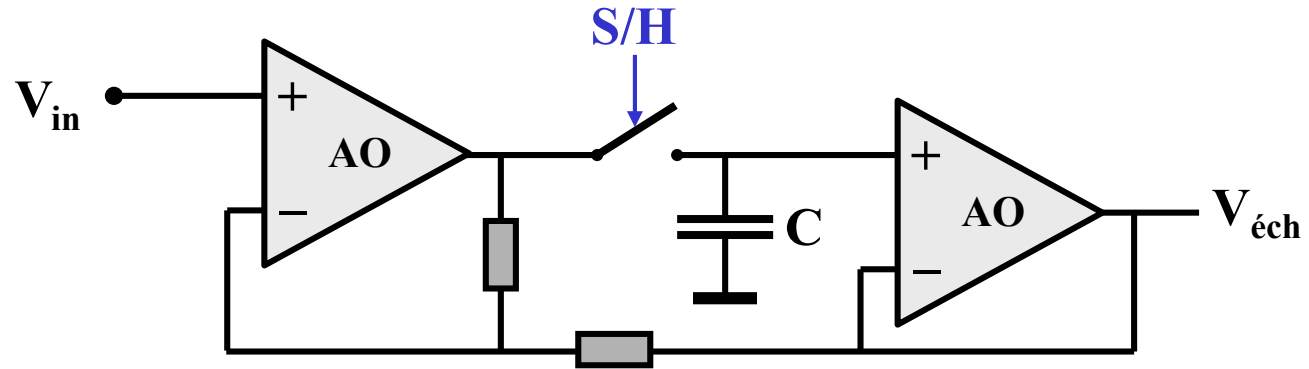


Beaucoup plus rapide

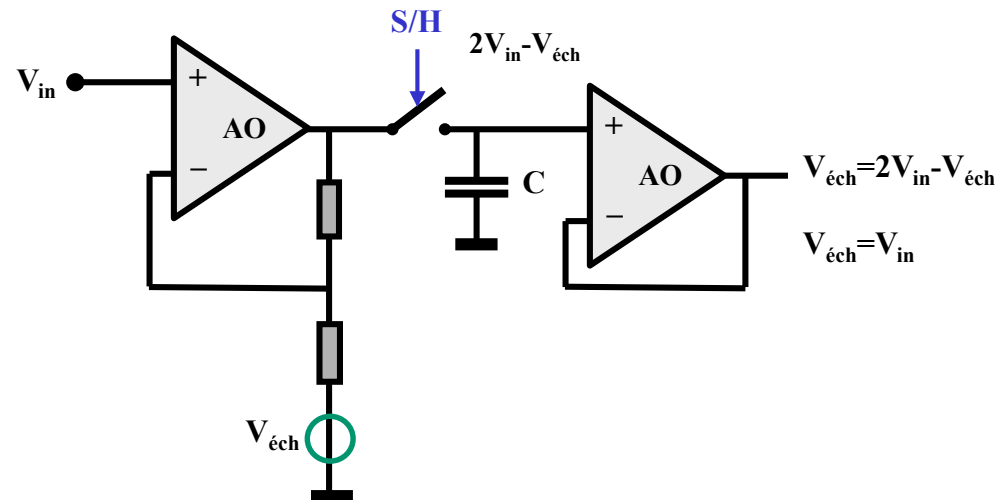
Meilleure précision
mais encore limitée

3.4. CIRCUITS SAMPLE & HOLD

SAMPLE & HOLD EN BOUCLE FERMÉE

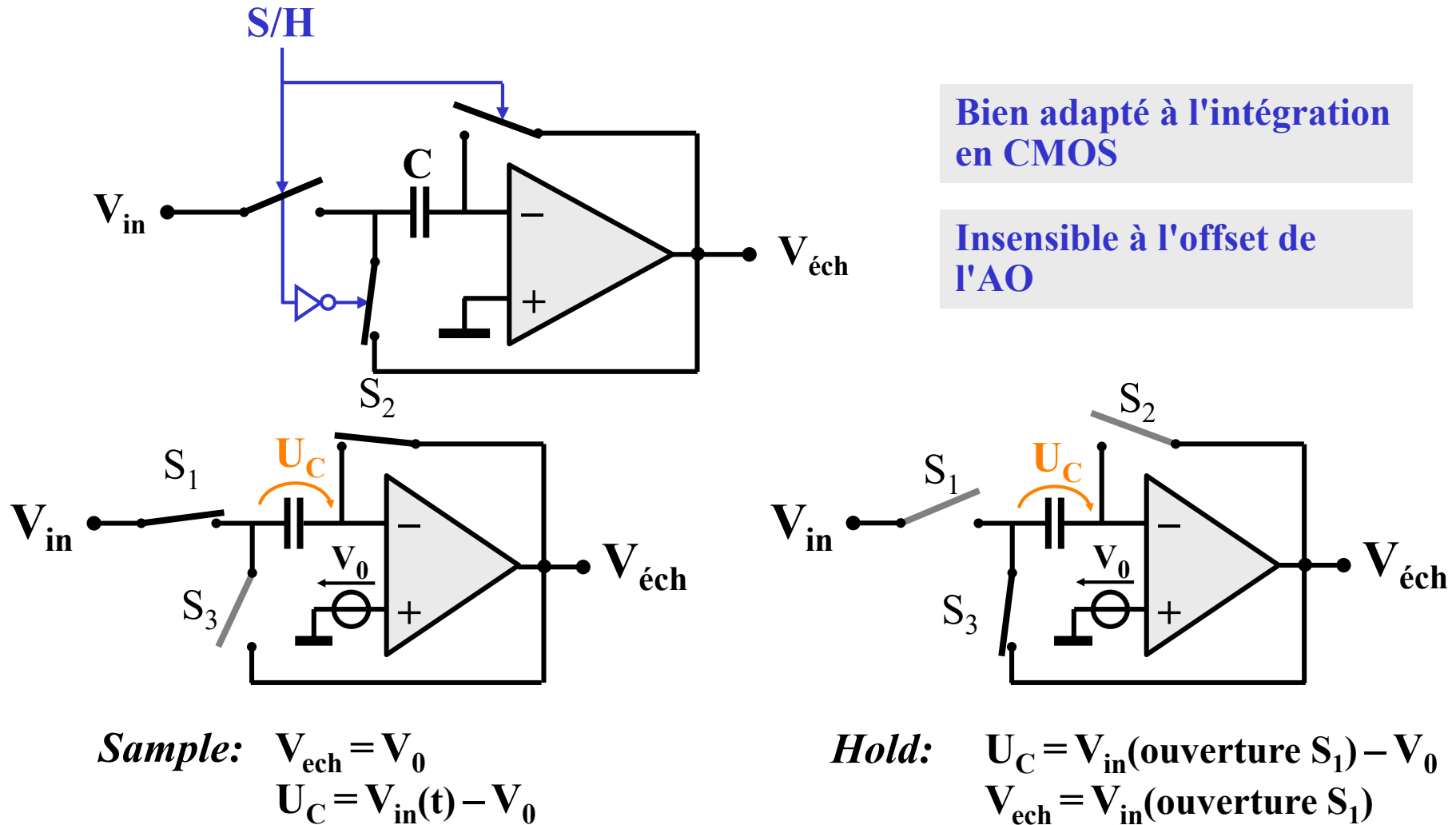


Rapide et précis



3.2. CIRCUITS SAMPLE & HOLD

SAMPLE & HOLD A CAPACITE COMMUTEES



3.5. CONVERTISSEURS A/N A INTEGRATION

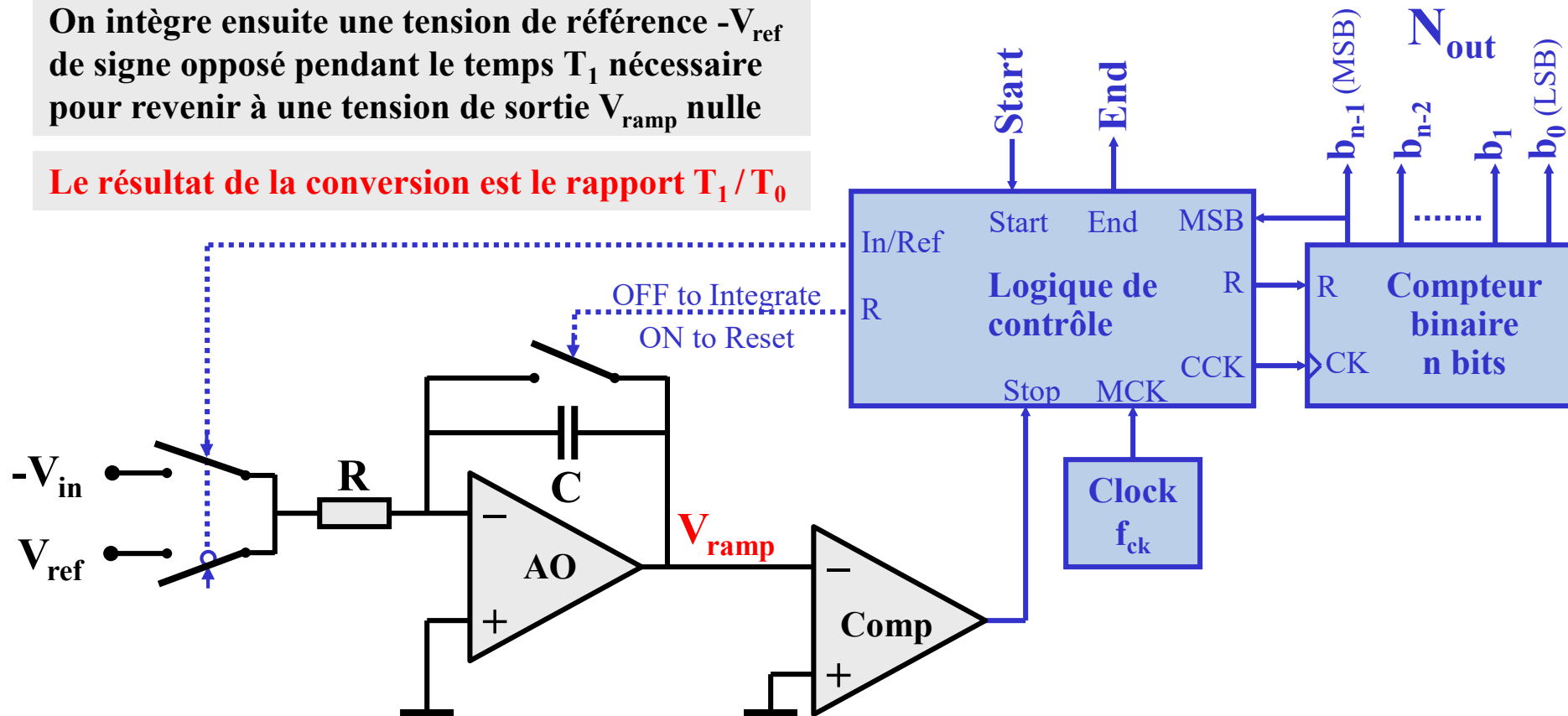
DOUBLE RAMPE

Principe: conversion en 2 étapes

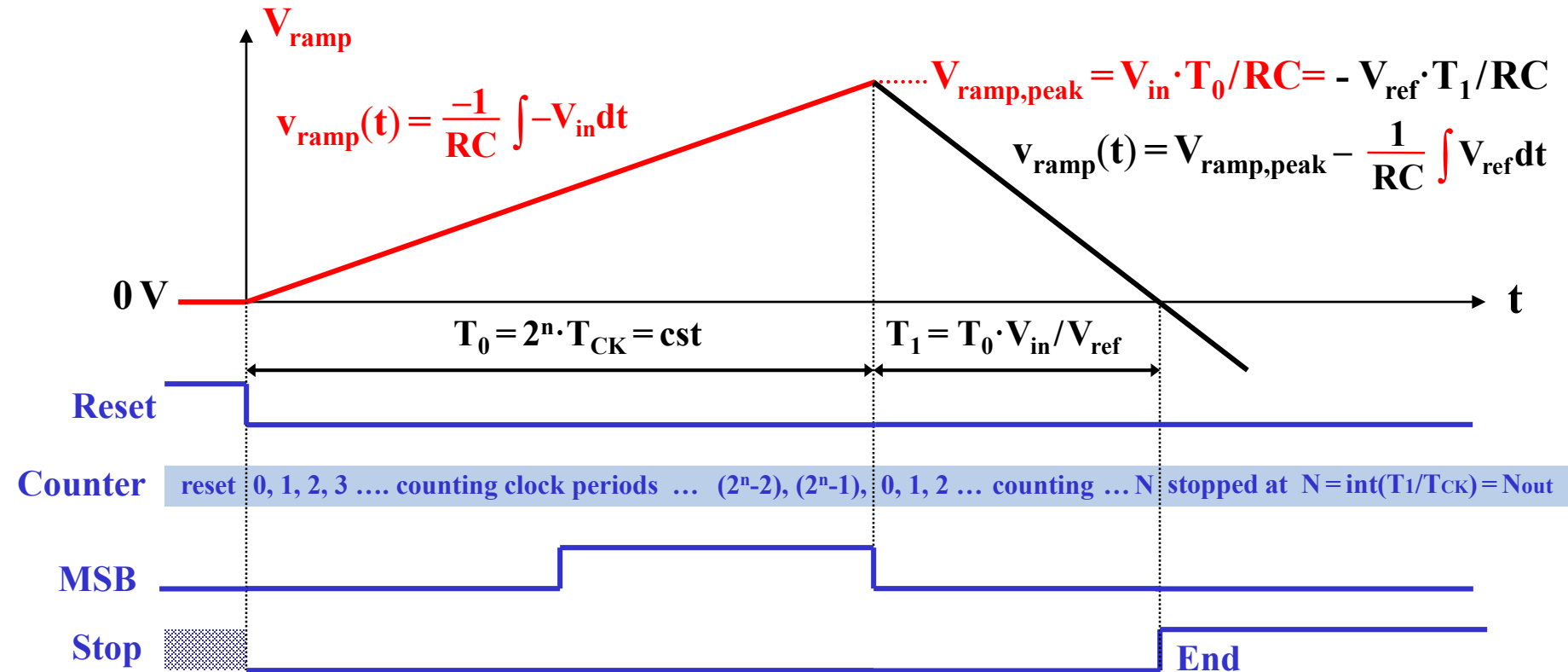
On intègre V_{in} pendant un temps T_0 fixé

On intègre ensuite une tension de référence $-V_{ref}$ de signe opposé pendant le temps T_1 nécessaire pour revenir à une tension de sortie V_{ramp} nulle

Le résultat de la conversion est le rapport T_1/T_0



3.5. CONVERTISSEURS A/N A INTEGRATION

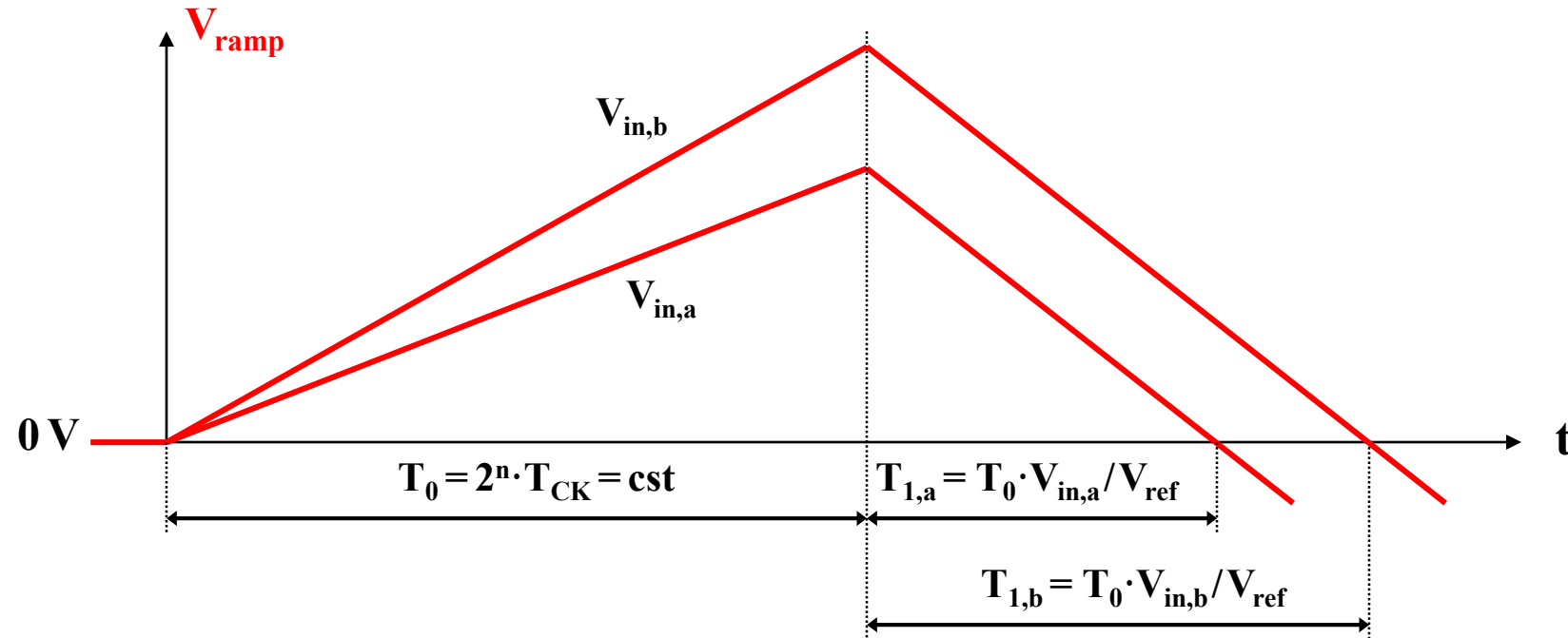


$$N_{\text{out}} = \text{entier}\left(2^n \cdot \frac{V_{\text{in}}}{V_{\text{ref}}}\right)$$

Insensible à l'imprécision et la sensibilité à la température des éléments R et C, et de la fréquence d'horloge.

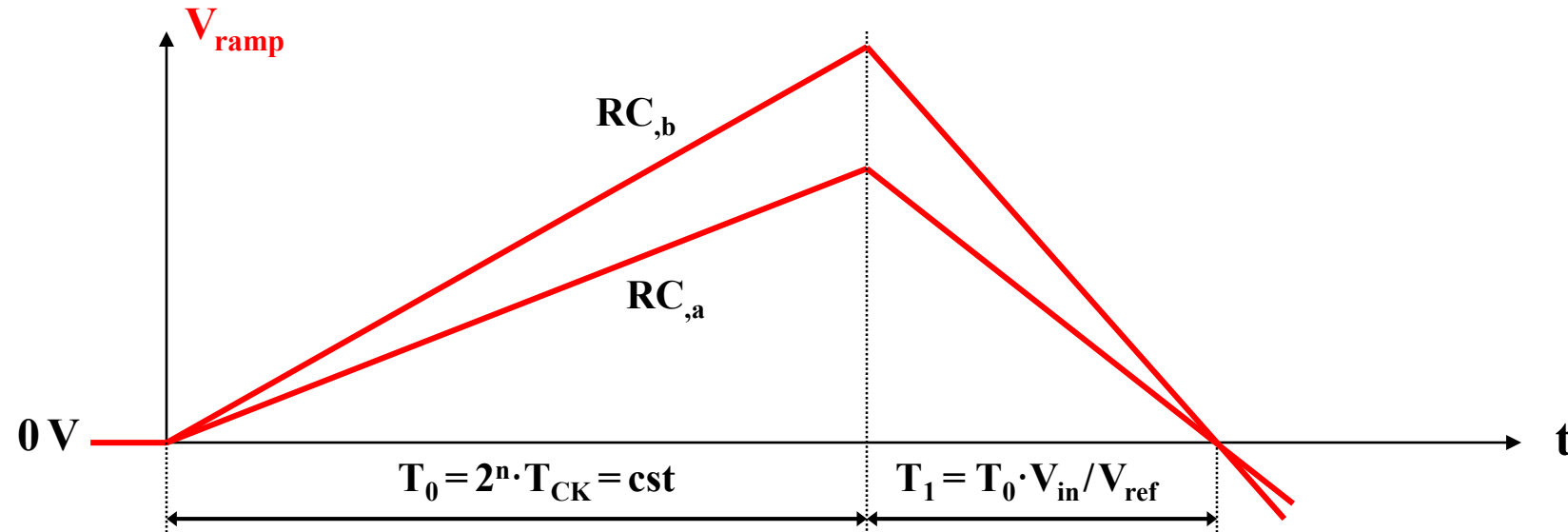
3.5. CONVERTISSEURS A/N A INTEGRATION

Effet d'une variation de V_{in}



3.5. CONVERTISSEURS A/N A INTEGRATION

Effet d'une variation de RC à V_{in} constante



3.5. CONVERTISSEURS A/N A INTEGRATION

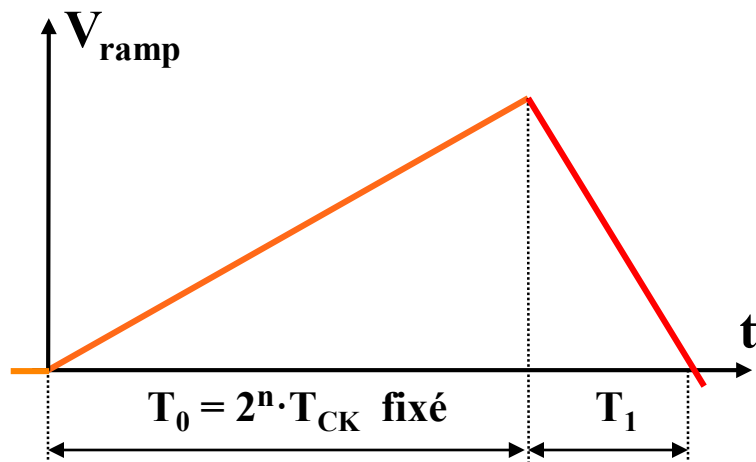
- **INTEGRATEUR ANALOGIQUE A DOUBLE RAMPE**
 - Convertisseur de haute précision (16 bits ou plus)
 - Circuit simple, très bien adapté à l'intégration en technologie CMOS,
 - sauf pour les éléments R et C de l'intégrateur qui sont externes
 - Les limites de précision sont liées à l'offset du comparateur et de l'intégrateur.
 - Ceux-ci peuvent être compensés automatiquement, jusqu'à une certaine limite, par des techniques spéciales.

3.5. CONVERTISSEURS A/N A INTEGRATION

CONVERTISSEUR A/N INCREMENTAL

Le Convertisseur incrémental est basé sur un intégrateur à double rampe à capacité commutée, travaillant donc par pas discrets.

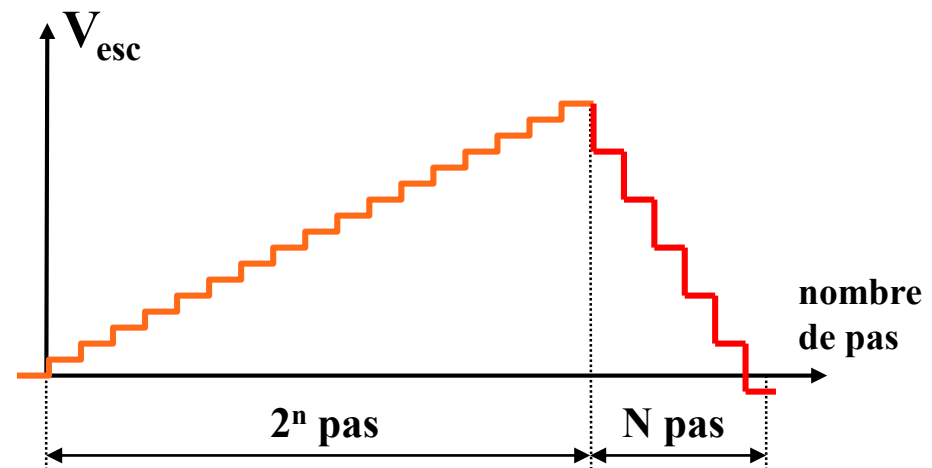
Double rampe classique



Intégration de V_{in}
pendant un temps
fixe $T_0 = 2^n \cdot T_{\text{CK}}$

Intégration de $-V_{\text{ref}}$
durant le temps T_1
nécessaire pour
passer par zéro

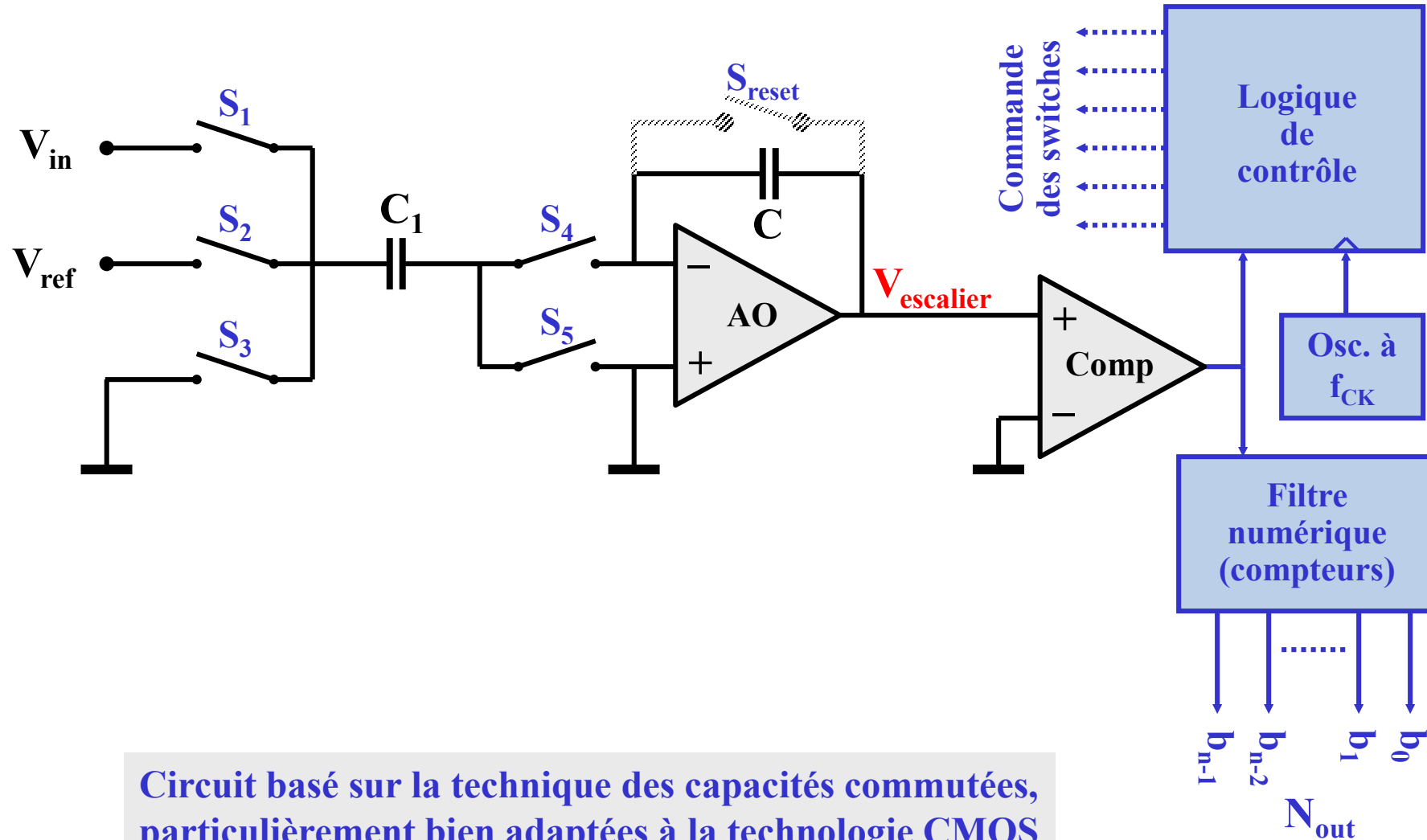
Incrémental



Nombre fixe = 2^n de
transferts d'une charge
proportionnelle à V_{in}

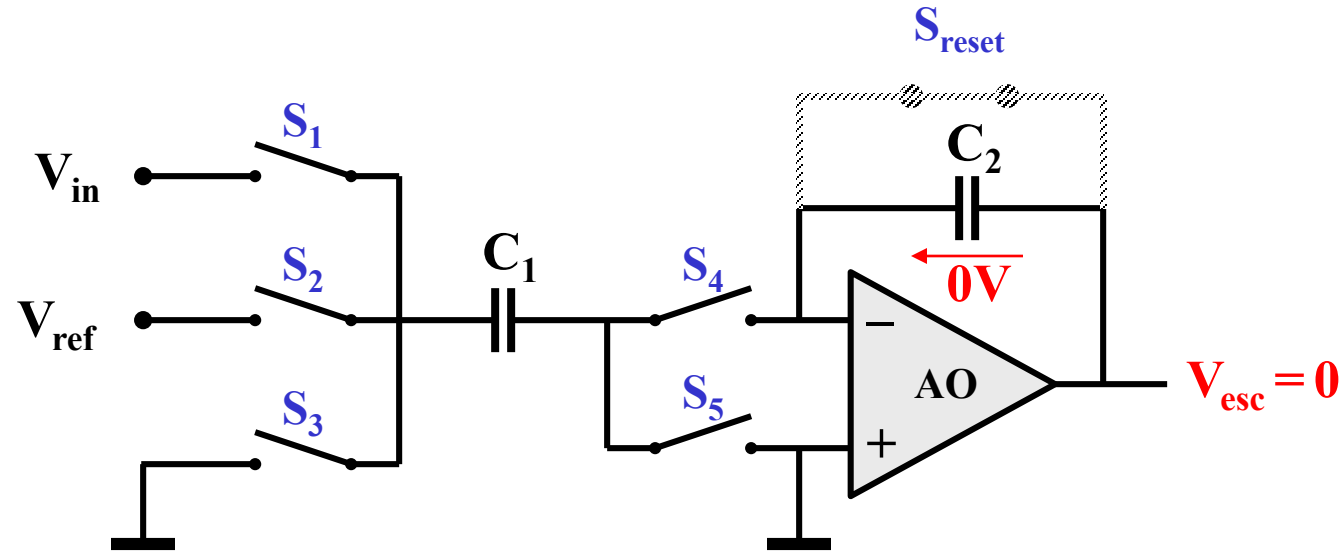
Transferts d'une
charge proportion-
nelle à $-V_{\text{ref}}$, le
nombre N de fois
nécessaire pour
passer par zéro

3.5. CONVERTISSEURS A/N A INTEGRATION



3.5. CONVERTISSEURS A/N A INTEGRATION

Reset initial



On décharge C_2

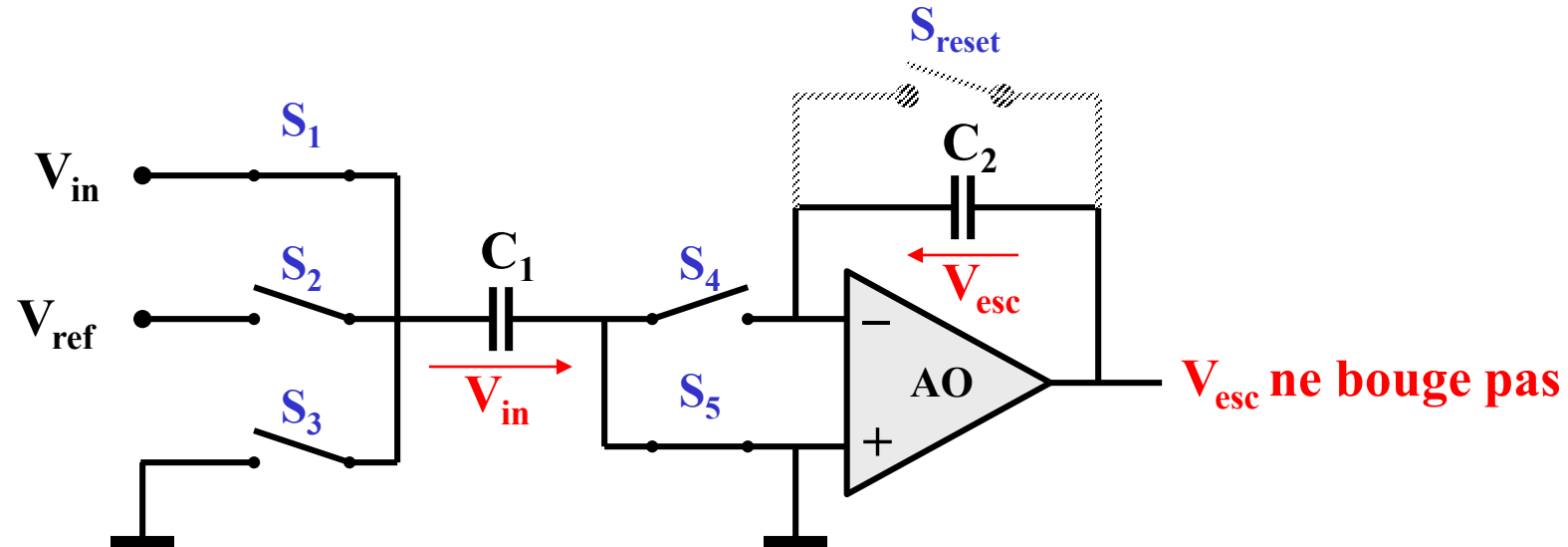
Cette décharge n'est effectuée qu'une fois au début de la conversion.

Le switch S_{reset} reste ensuite ouvert lors de toutes les opérations suivantes.

3.5. CONVERTISSEURS A/N A INTEGRATION

Intégration de $+V_{in}$

phase a

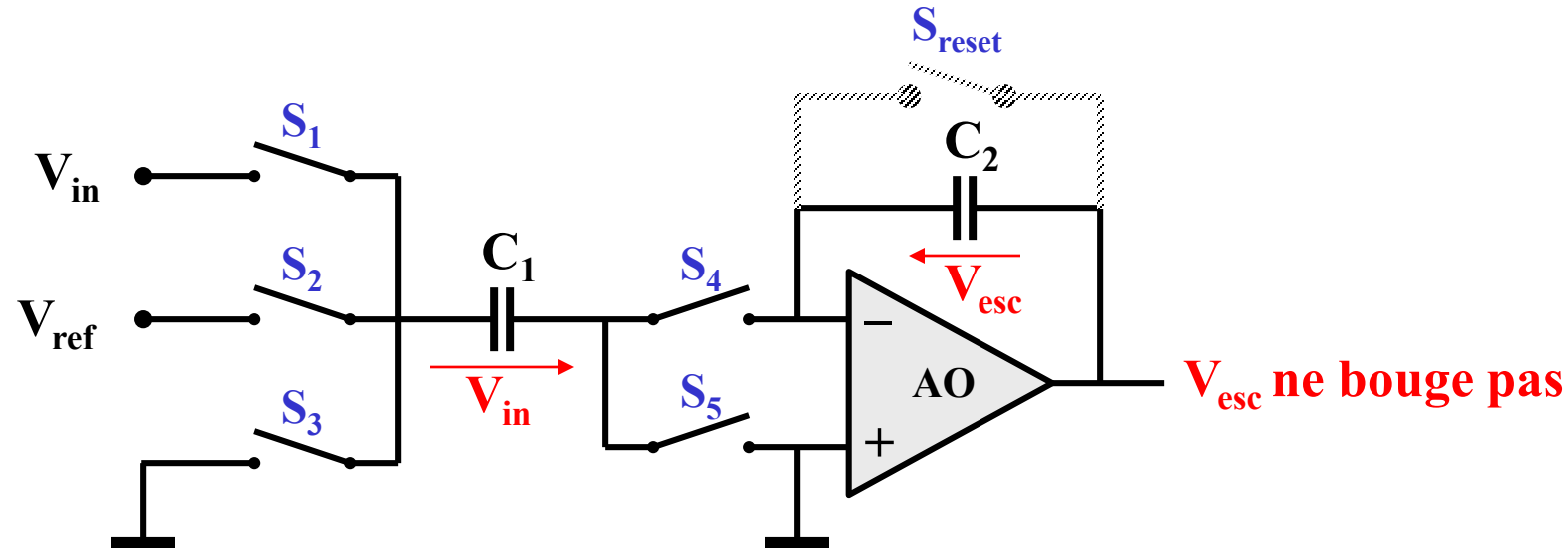


On charge C_1 à V_{in}
La charge de C_2 ne varie pas

3.5. CONVERTISSEURS A/N A INTEGRATION

Intégration de $+V_{in}$

phase intermédiaire o (open)



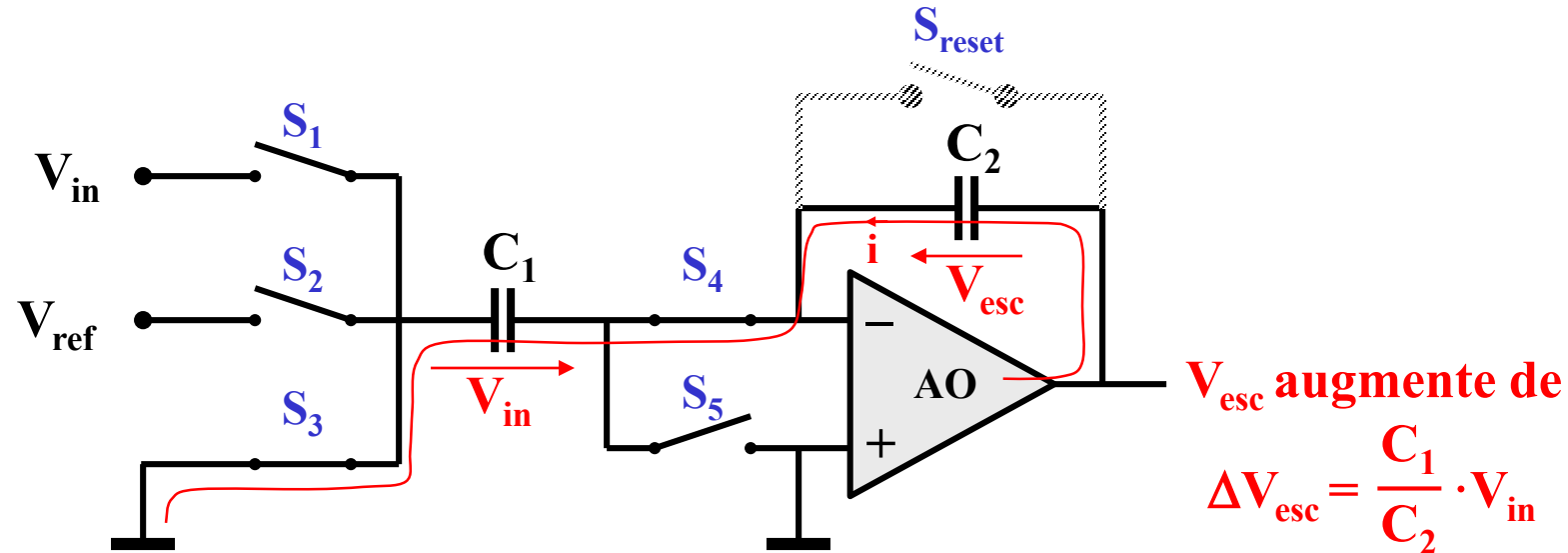
On ouvre tous les switches

Aucune charge n'est modifiée

3.4. CONVERTISSEURS A/N A INTEGRATION

Intégration de $+V_{in}$

phase b



C_1 est déchargée

Le même courant traverse C_1 et C_2 à tout instant

La charge est transférée de C_1 à C_2 .

$$Q = C_1 \cdot V_{in} = C_2 \cdot \Delta V_{esc}$$

3.5. CONVERTISSEURS A/N A INTEGRATION

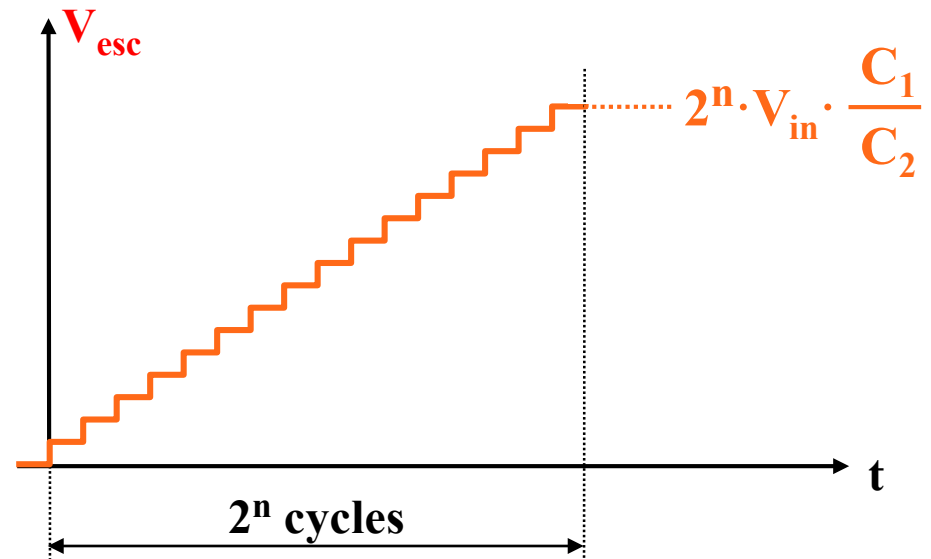
Intégration de $+V_{in}$

2^n cycles

Après le reset, donc à partir de zéro, on effectue 2^n fois le cycle d'intégration de $+V_{ref}$ formé des phases a, o, b, o

A chaque cycle, la tension de sortie s'accroît de : $\Delta V_{esc} = V_{in} \cdot \frac{C_1}{C_2}$

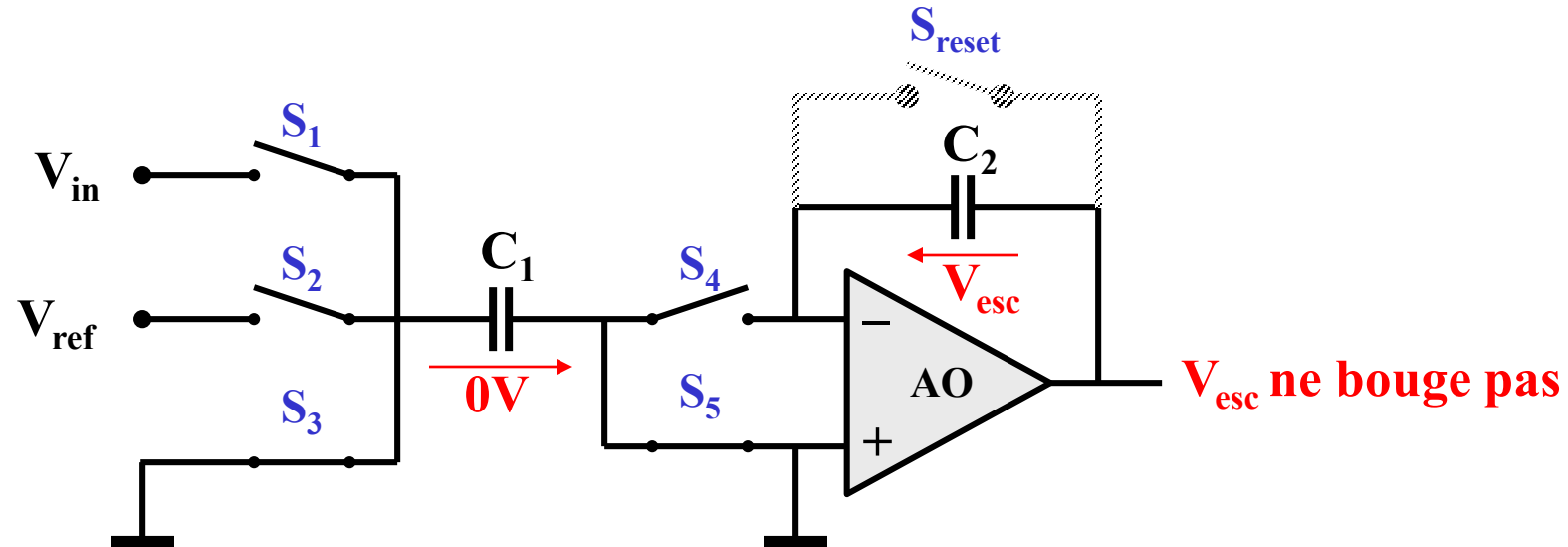
Après 2^n cycles, la tension de sortie atteint le niveau :



3.5. CONVERTISSEURS A/N A INTEGRATION

Intégration de $-V_{\text{ref}}$

phase a

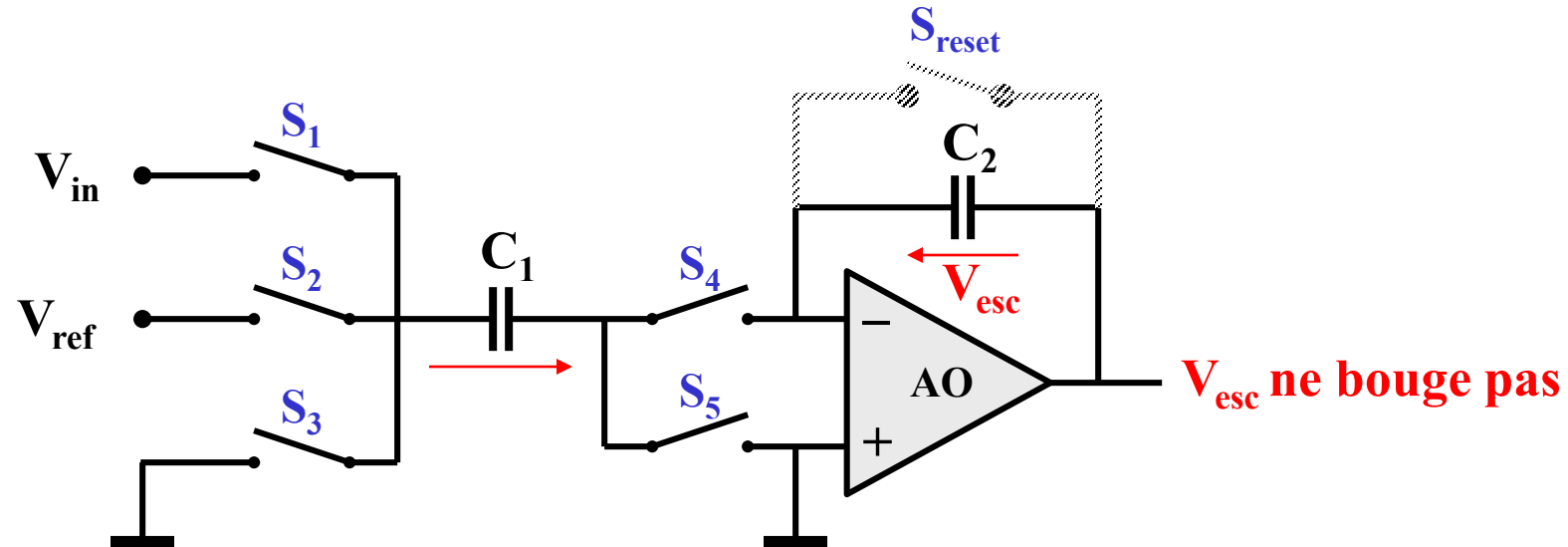


On décharge C_1
La charge de C_2 est inchangée

3.5. CONVERTISSEURS A/N A INTEGRATION

Intégration de $-V_{\text{ref}}$

phase intermédiaire o (open)



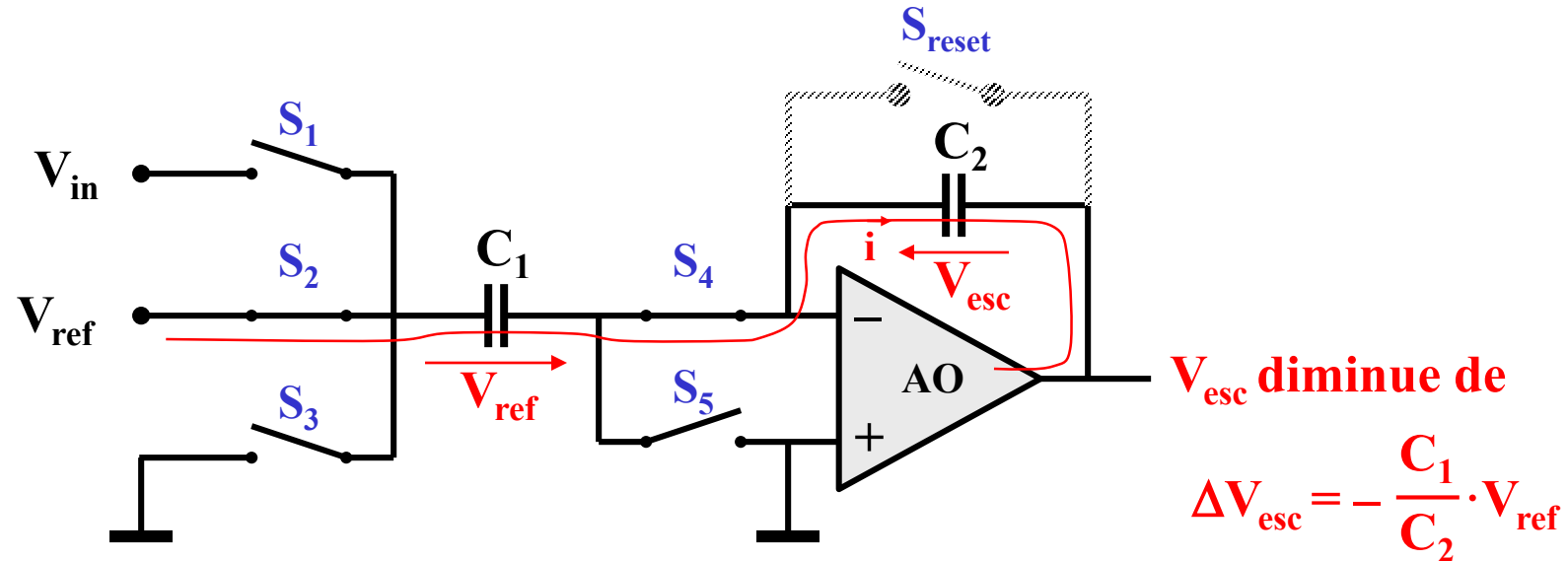
On ouvre tous les switches

Aucune charge n'est modifiée

3.5. CONVERTISSEURS A/N A INTEGRATION

Intégration de $-V_{\text{ref}}$

phase b



On charge C_1 à V_{ref}

Le même courant traverse C_1 et C_2 à tout instant

La même charge est soustraite de C_2

$$Q = C_1 \cdot V_{\text{ref}} = -C_2 \cdot \Delta V_{\text{esc}}$$

3.5. CONVERTISSEURS A/N A INTEGRATION

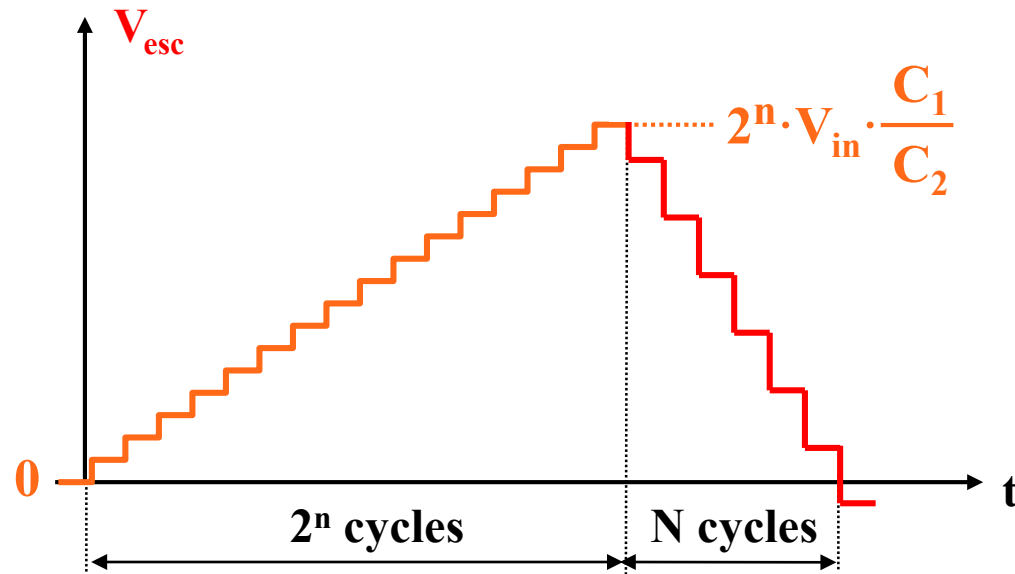
Intégration de $-V_{\text{ref}}$

Cycles suivants

A partir du sommet obtenu après 2^n cycles d'intégration de V_{in} , on effectue des cycles d'intégration de $-V_{\text{ref}}$, chacun formé des phases a, o, b, o

A chaque cycle, la tension de sortie décroît de : $\Delta V_{\text{esc}} = V_{\text{ref}} \cdot \frac{C_1}{C_2}$

Après N cycles, la tension de sortie est : $V_{\text{esc}} = 2^n \cdot V_{\text{in}} \cdot \frac{C_1}{C_2} - N \cdot V_{\text{ref}} \cdot \frac{C_1}{C_2}$



V_{esc} franchira 0 V pour :

$$N = 1 + \text{entier}\left(2^n \cdot \frac{V_{\text{in}}}{V_{\text{ref}}}\right) = N_{\text{out}}$$

3.5. CONVERTISSEURS A/N A INTEGRATION

Problème de réalisation pratique : **Amplitude des signaux**

Exemple : $V_{\text{ref}} = 5 \text{ V}$ $n = 16$

Tension de sortie maximum après 2^n pas d'intégration de $V_{\text{in,max}} = V_{\text{ref}}$:

$$V_{\text{esc,peak,max}} = 2^n \cdot V_{\text{in,max}} \cdot \frac{C_1}{C_2} = 2^n \cdot V_{\text{ref}} \cdot \frac{C_1}{C_2} = \frac{C_1}{C_2} \cdot \mathbf{327'680 \text{ V}}$$

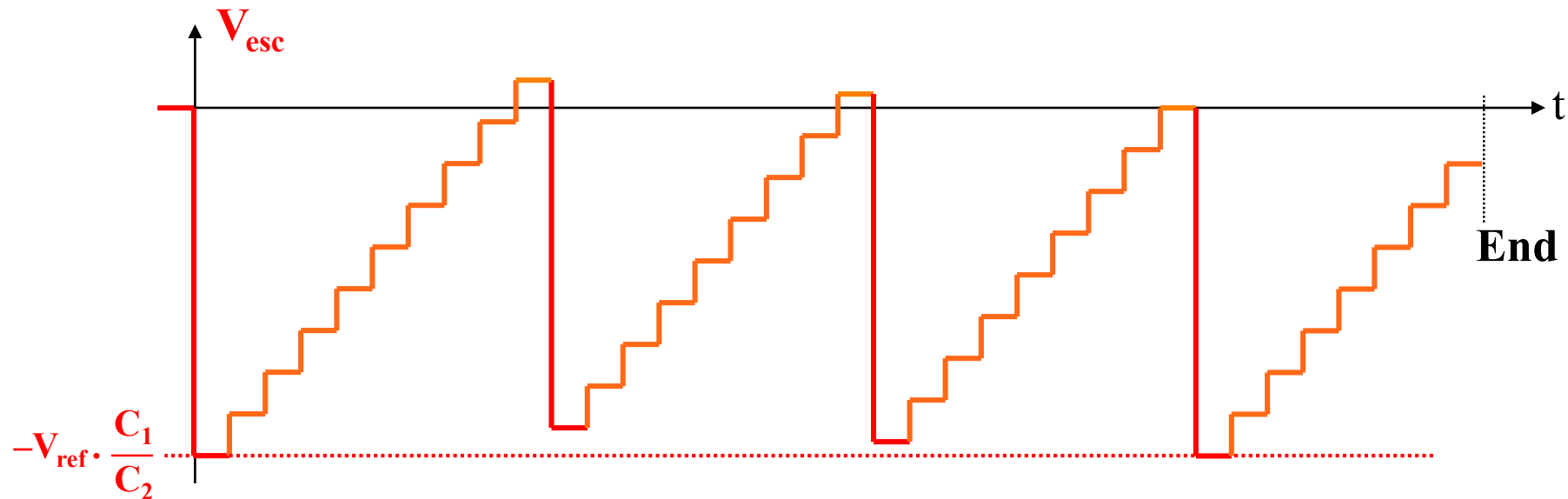
Le rapport C_1/C_2 ne peut pas être trop petit, sous peine de tomber dans la limite du bruit lors du transfert de charge avec $V_{\text{in,min}} = V_{\text{LSB}} = V_{\text{ref}}/2^n$

$$\Delta V_{\text{esc,min}} = V_{\text{in,min}} \cdot \frac{C_1}{C_2} = \frac{V_{\text{ref}}}{2^n} \cdot \frac{C_1}{C_2} = \frac{C_1}{C_2} \cdot \mathbf{76 \mu V}$$

3.5. CONVERTISSEURS A/N A INTEGRATION

Réalisation pratique: Solution

Le problème peut être résolu en entrelaçant l'intégration de V_{in} et de $(-V_{ref})$



1. Un pas unique d'intégration unique de $(-V_{ref})$
2. Succession de pas d'intégration de V_{in} , jusqu'à croiser 0 V

Retour en 1.

Le processus s'arrête lorsqu'on a dénombré un total de 2^n pas d'intégration de V_{in} .

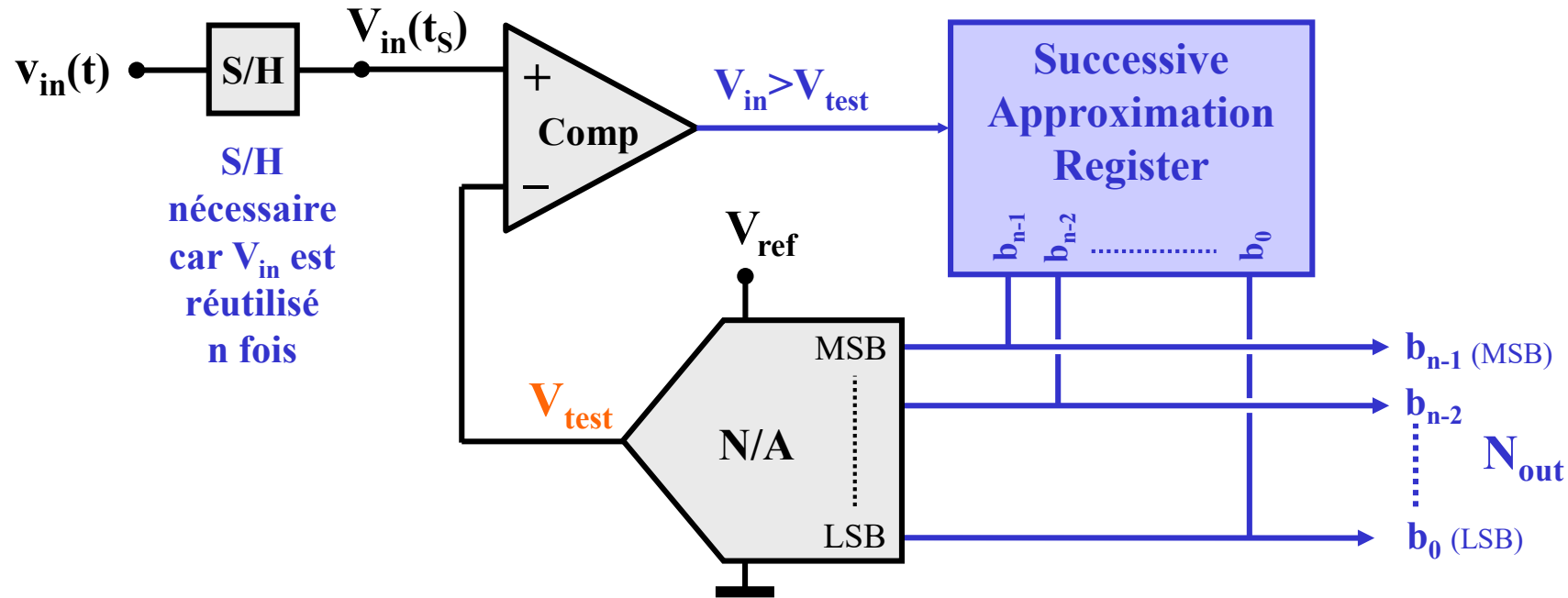
A ce moment, le nombre N de pas d'intégration de $(-V_{ref})$ effectués est le résultat.

3.5. CONVERTISSEURS A/N A INTEGRATION

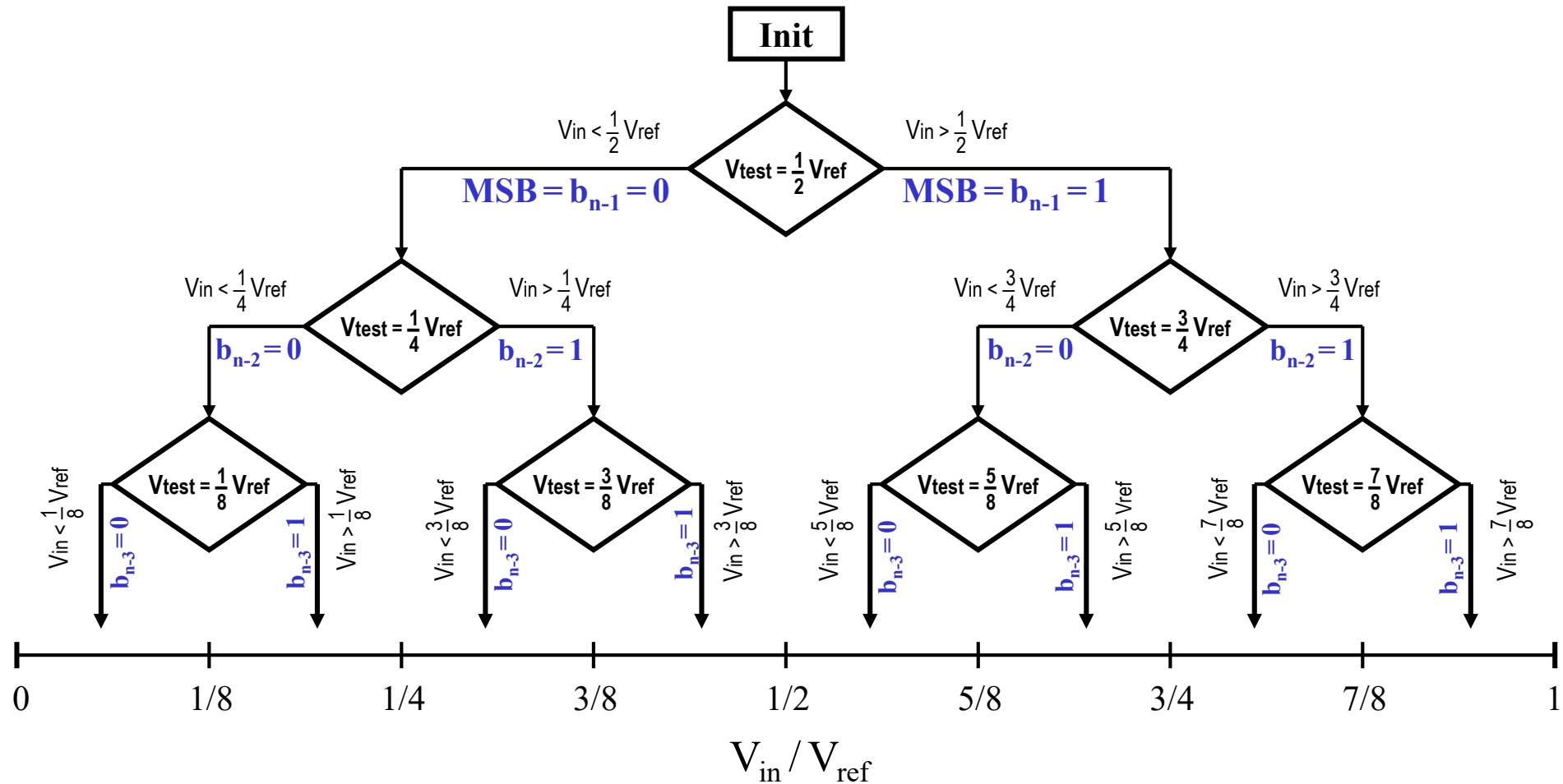
- Convertisseur de haute précision (16 bits ou plus, sans aucun ajustage)
- Circuit simple, très bien adapté à la technologie CMOS
- La précision est indépendante du rapport C_1/C_2
- Les limites de précision sont liées à l'offset de l'AO et du comparateur, ainsi qu'à l'injection de charge des interrupteurs MOS.
- Ces effets peuvent être compensés, jusqu'à une certaine limite, par des techniques spéciales.

3.6. CONVERTISSEURS A/N A APPROXIMATIONS SUCCESSIVES

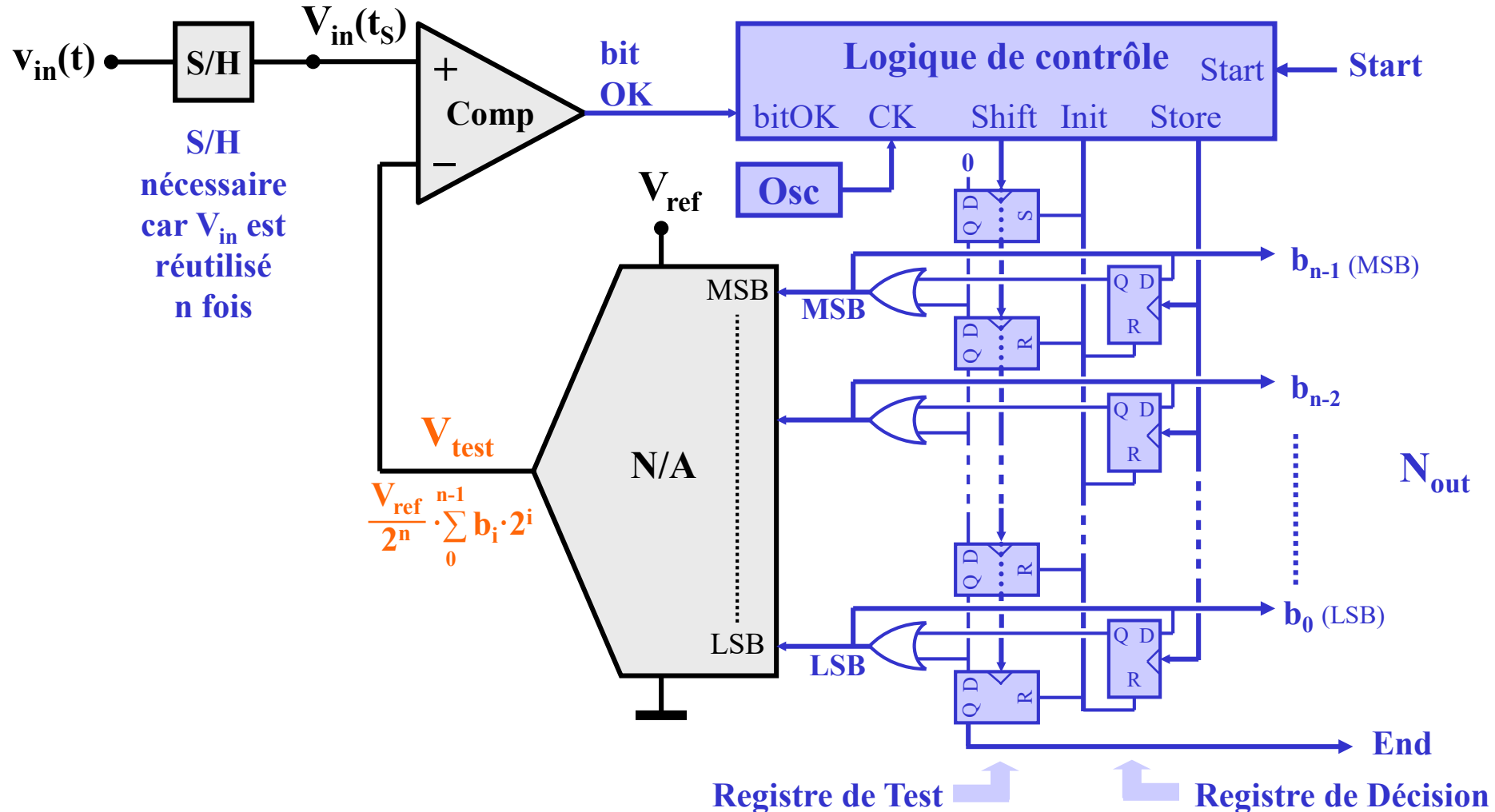
Une logique génère un nombre, codé en binaire, qui est converti en une valeur de test, pour être comparée à V_{in} . En fonction du résultat: trop grand ou trop petit, la logique génère un nouveau nombre, s'approchant ainsi du résultat final à chaque essai.



3.6. CONVERTISSEURS A/N A APPROXIMATIONS SUCCESSIVES

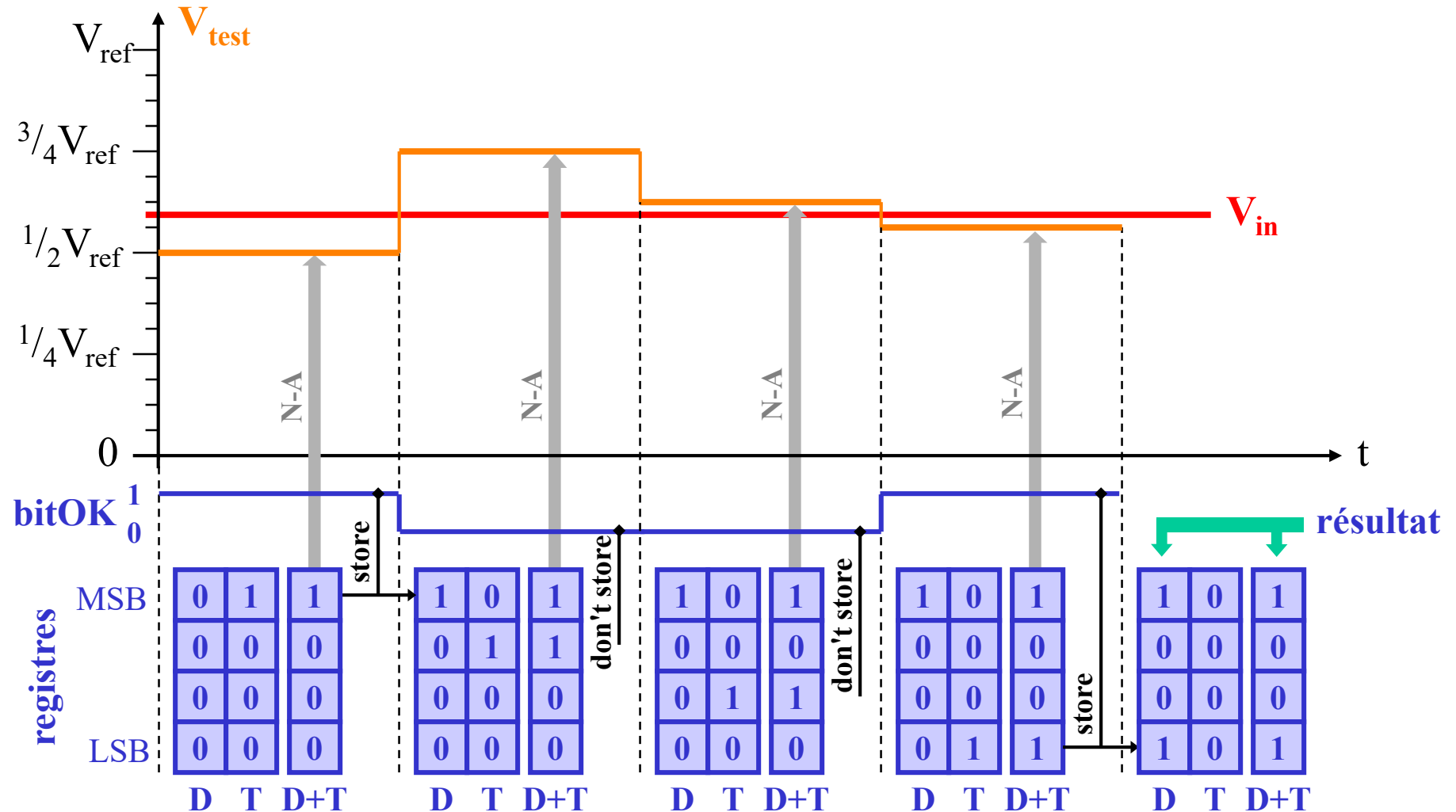


3.6. CONVERTISSEURS A/N A APPROXIMATIONS SUCCESSIVES

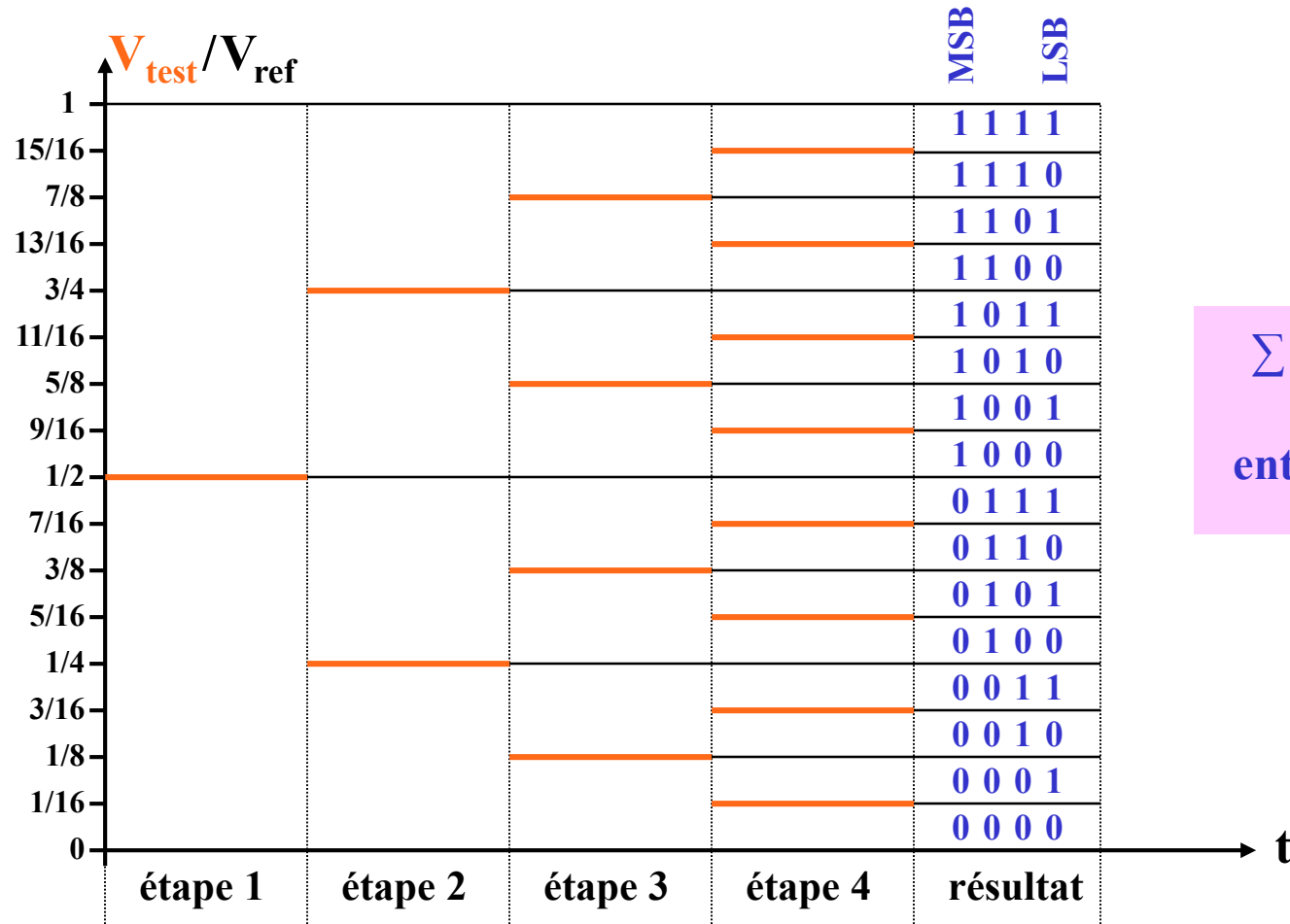


3.6. CONVERTISSEURS A/N

A APPROXIMATIONS SUCCESSIVES



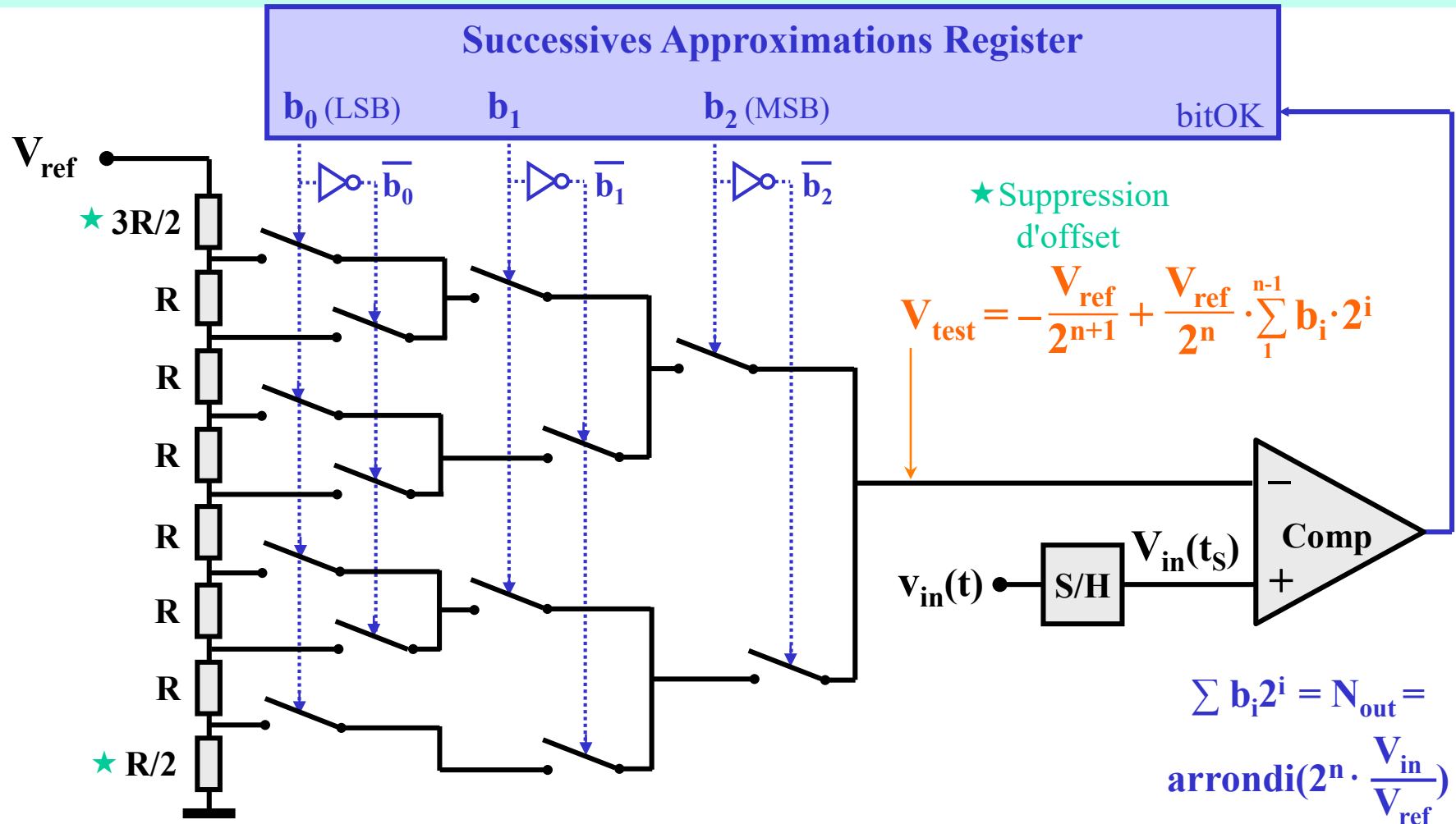
3.6. CONVERTISSEURS A/N A APPROXIMATIONS SUCCESSIVES



$$\sum b_i 2^i = N_{\text{out}} = \text{entier}\left(2^n \cdot \frac{V_{\text{in}}}{V_{\text{ref}}}\right)$$

3.6. CONVERTISSEURS A/N A APPROXIMATIONS SUCCESSIVES

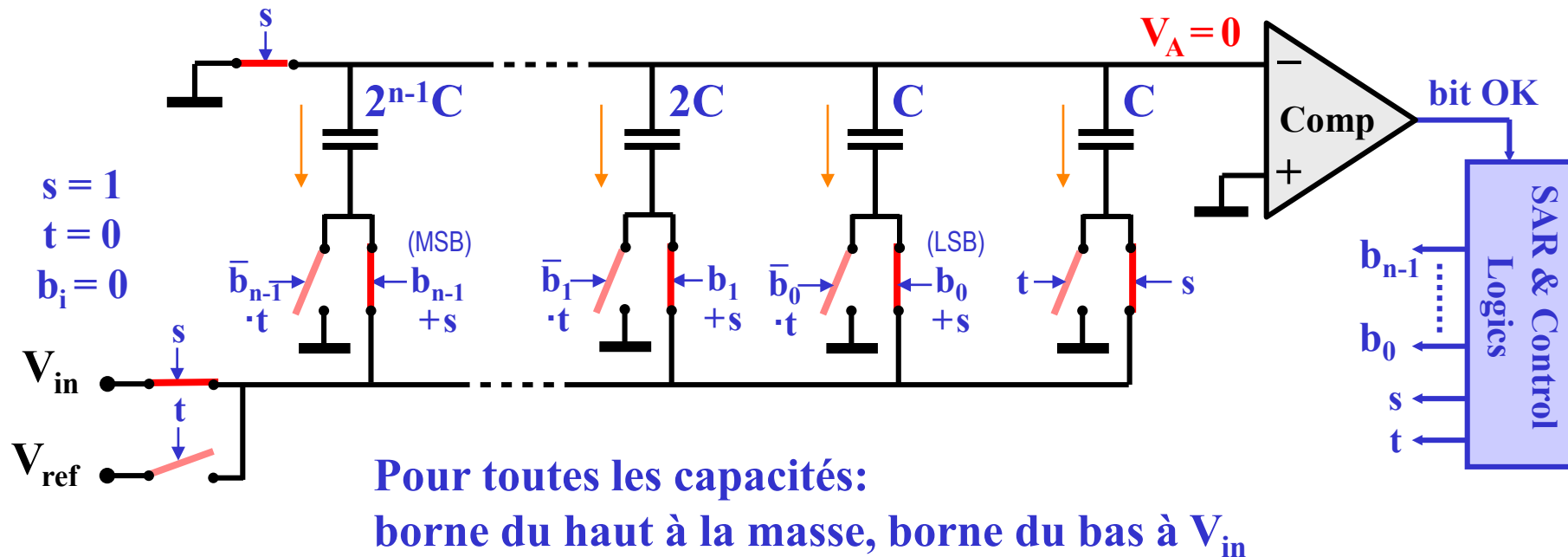
EXEMPLE: CONVERTISSEUR A/N A DIVISEUR POTENTIOMETRIQUE



3.6. CONVERTISSEURS A/N A APPROXIMATIONS SUCCESSIVES

CONVERTISSEUR A/N CMOS A CAPACITES PONDEREES

Etape d'échantillonnage de la tension V_{in}

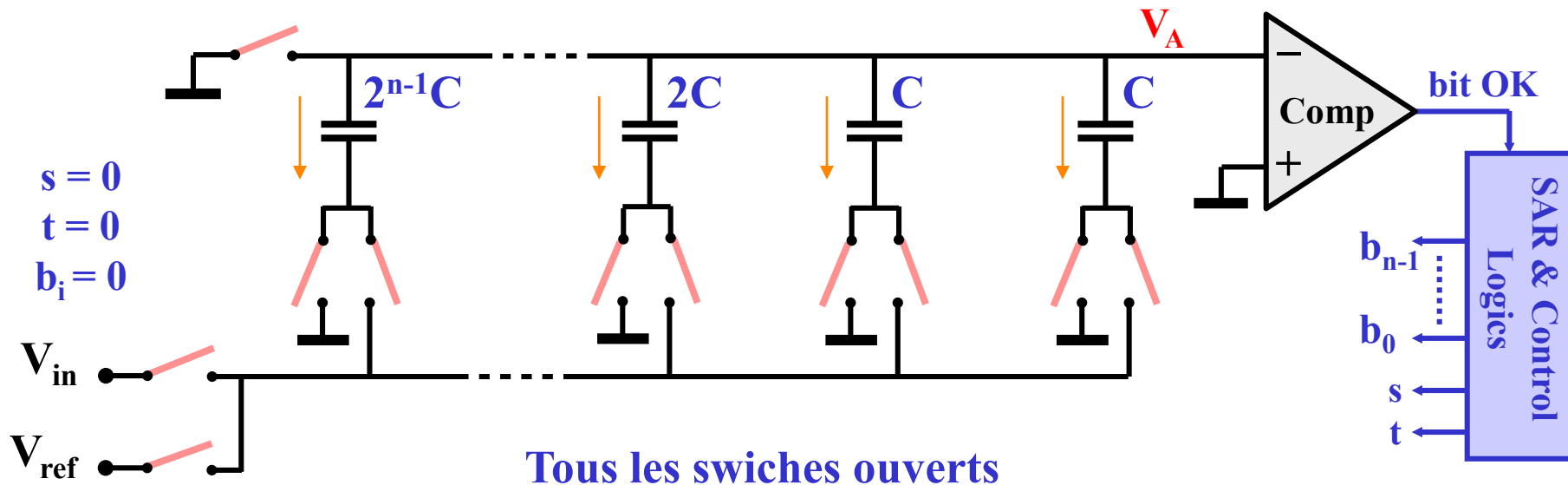


All capacitors have a voltage $(V_A - V_{in}) = -V_{in}$ across them

3.6. CONVERTISSEURS A/N A APPROXIMATIONS SUCCESSIVES

CONVERTISSEUR A/N CMOS A CAPACITES PONDEREES

Etape intermédiaire de mémorisation de $(-V_{in})$ sur toutes les capacités



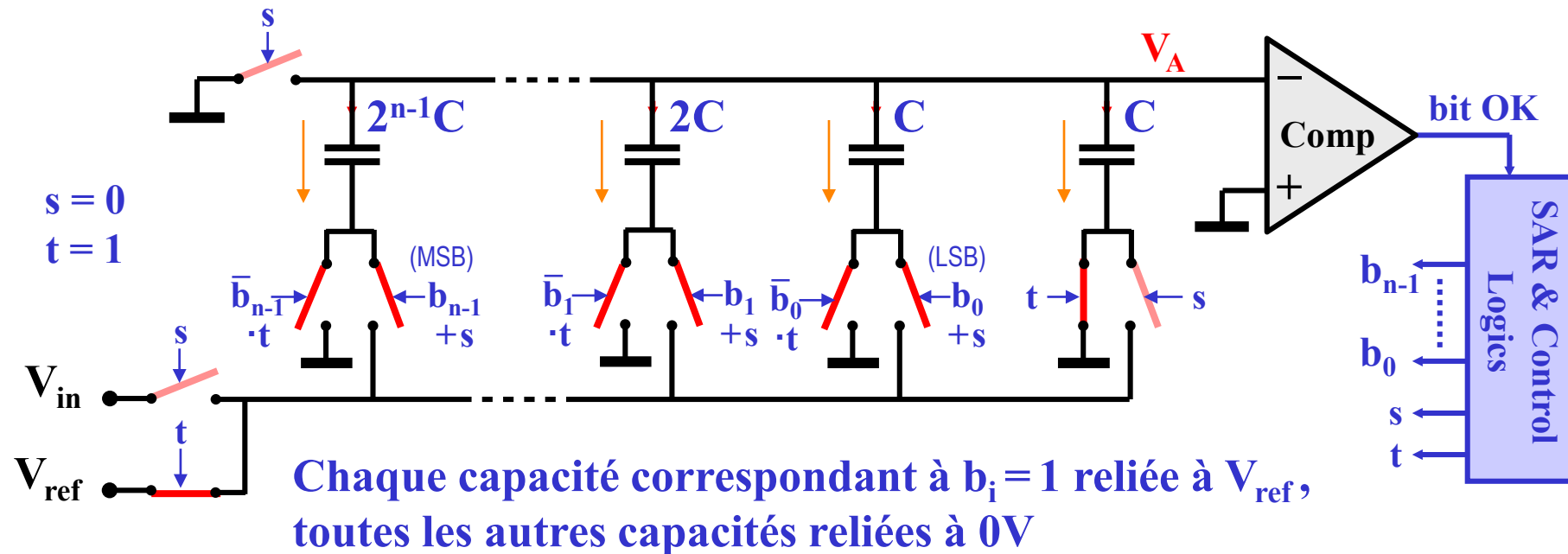
Toutes les capacités gardent à leurs bornes une tension $(V_A - V_{in}) = -V_{in}$

La charge totale stockée vaut $Q_{tot} = -V_{in} \cdot C \cdot 2^n$

3.6. CONVERTISSEURS A/N A APPROXIMATIONS SUCCESSIVES

CONVERTISSEUR A/N CMOS A CAPACITES PONDEREES

Etape de test, cycles 1 à n: détermination des bits par redistribution de charges



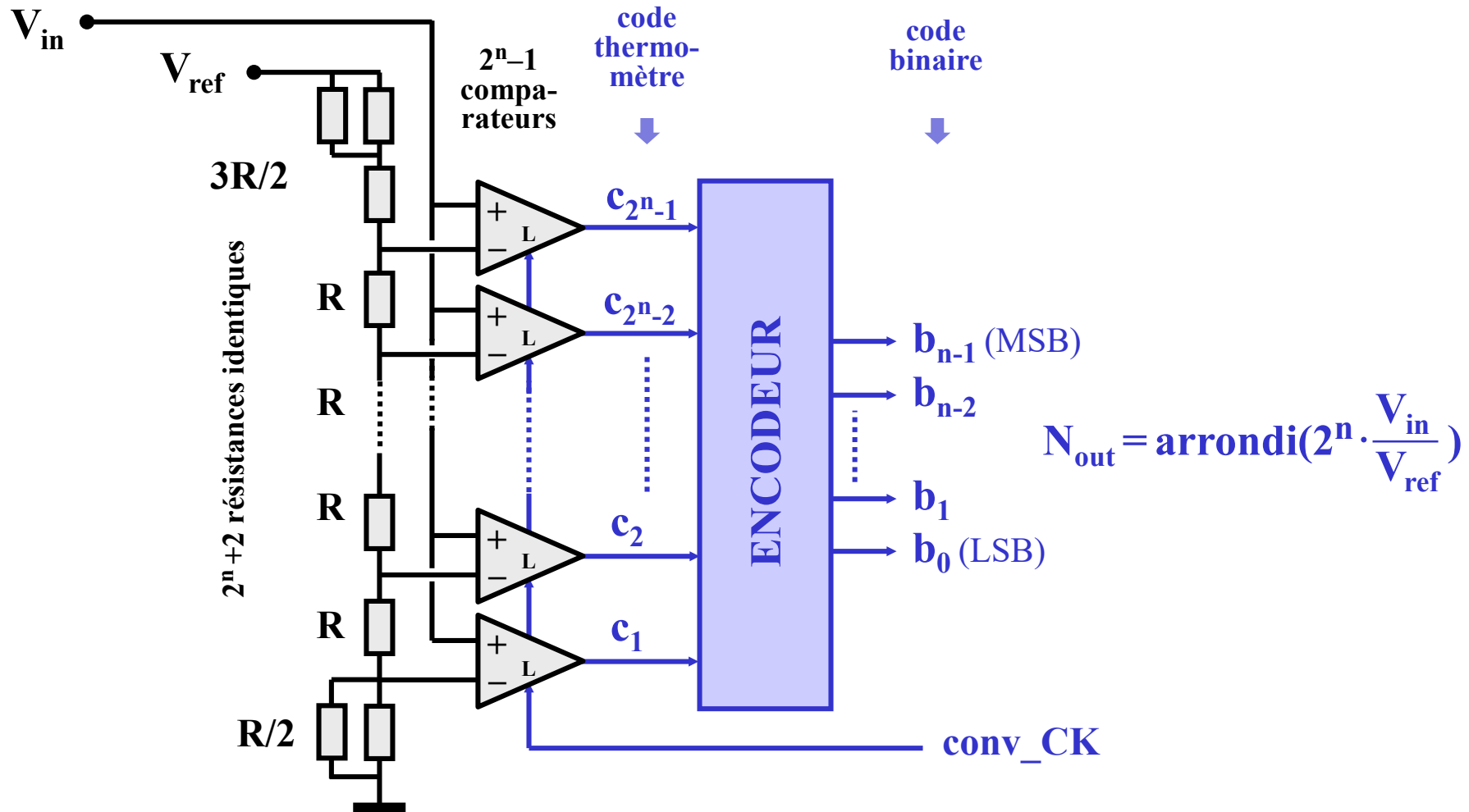
La charge totale stockée reste constante: $Q_{tot} = -V_{in} \cdot C \cdot 2^n$

$$V_A = -(V_{in} - V_{test}) \quad \text{avec} \quad V_{test} = \frac{V_{ref}}{2^n} \cdot \sum_{i=0}^{n-1} b_i \cdot 2^i$$

3.6. CONVERTISSEURS A/N A APPROXIMATIONS SUCCESSIVES

- CONVERTISSEUR A/N CMOS A CAPACITES PONDEREES
 - Convertisseur bien adapté à la technologie CMOS
 - Précision limitée essentiellement par la précision des rapports extrêmes des capacités (typiquement 10 bits)
 - S/H inhérent au processus

3.7. CONVERTISSEURS A/N "FLASH"



3.7. CONVERTISSEURS A/N "FLASH"

- Convertisseurs bien adaptés aux technologies tant bipolaire que MOS
- Convertisseurs les plus rapides: la conversion s'effectue en 1 cycle
- Un S&H très rapide à l'entrée améliore encore les performances en HF
- Grand nombre de composants: 2^n+2 résistances, 2^n-1 comparateurs, logique à 2^n-1 entrées et n sorties
- Grande consommation de puissance
- Résolution typiquement limitée à 8 bits